

PAT-NO: JP405315323A

DOCUMENT-IDENTIFIER: JP 05315323 A

TITLE: WIRING PATTERNS OF SEMICONDUCTOR
SUBSTRATE AND ITS
FORMATION

PUBN-DATE: November 26, 1993

INVENTOR- INFORMATION:

NAME

KOIZUMI, GENTA

NAKAO, NAOKI

SAKAI, KATSUHIKO

ASSIGNEE- INFORMATION:

NAME

HITACHI CABLE LTD

COUNTRY

N/A

APPL-NO: JP04120745

APPL-DATE: May 13, 1992

INT-CL (IPC): H01L021/3205, H01L021/302

US-CL-CURRENT: 257/775, 438/951, 438/FOR.455

ABSTRACT:

PURPOSE: To provide a method of forming wiring patterns of a semiconductor substrate capable of shortening a lift-off time and also preventing leavings of burrs and wiring patterns.

CONSTITUTION: In a method of forming wiring patterns which are formed on a semiconductor substrate 10 by using a lift-off method, after a concave-convex 13 is beforehand formed in punching patterns 2 which are

located on an outer
peripheral surface of wiring patterns 11, 12 to be formed,
deposited layers 3a
to 3b are formed thereon to remove the punching patterns 2
and the deposited
~~layers 3b to 3b on its upper part.~~

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-315323

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵
H 01 L 21/3205
21/302

識別記号 K 8518-4M
7735-4M
7735-4M

府内整理番号 F I
H 01 L 21/ 88

技術表示箇所
G
A

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平4-120745

(22)出願日 平成4年(1992)5月13日

(71)出願人 000005120

日立電線株式会社
東京都千代田区丸の内二丁目1番2号

(72)発明者 小泉 玄太

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(72)発明者 中条 直樹

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(72)発明者 酒井 勝彦

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

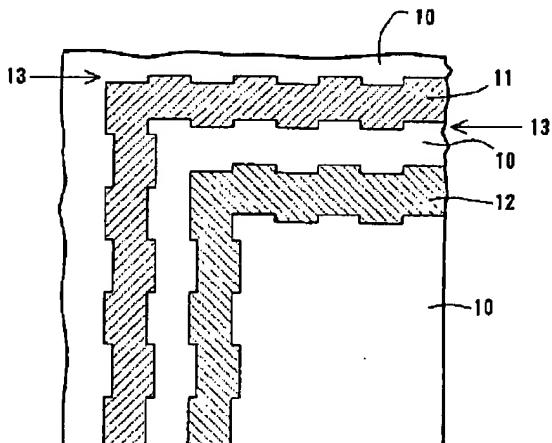
(74)代理人 弁理士 紺谷 信雄

(54)【発明の名称】 半導体基板の配線パターン及びその形成方法

(57)【要約】

【目的】 リフトオフ時間を短縮すると共に、バリの残留を防止できる半導体基板の配線パターンの形成方法及び配線パターンを提供することにある。

【構成】 半導体基板10上にリフトオフ法を用いて形成する配線パターン11、12の外周面に位置する抜き型パターン2に、予め凹凸13を形成した後、その上に堆積層3a～3dを形成し、抜き型パターン2とその上部の堆積層3b～3dとを除去したことを特徴としている。



10 半導体基板
11、12 配線パターン
13 凹凸

1

【特許請求の範囲】

【請求項1】半導体基板上にリフトオフ法を用いて形成する配線パターンの形成方法において、形成すべき配線パターンの外周面に位置する抜き型パターンに、予め凹凸を形成した後、その上に堆積層を形成し、抜き型パターンとその上部の堆積層とを除去したことを特徴とする半導体基板の配線パターンの形成方法。

【請求項2】半導体基板上にリフトオフ法で形成される配線パターンにおいて、除去すべき抜き型パターンと形成すべき配線パターンとの境界面が凹凸状に形成されていることを特徴とする半導体基板の配線パターン。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、リフトオフ法を用いて半導体基板上に配線パターンを形成する方法及びその配線パターンに関する。

【0002】

【従来の技術】Si(シリコン)やGaAs(ガリウム砒素)等の半導体基板上に配線パターンを形成するための方法としてリフトオフ法がある。

【0003】図5は従来のリフトオフ法による配線パターンの製造方法を説明するための説明図である。

【0004】まず、半導体基板1上にフォトレジストを用いて抜き型パターン2を形成し(図5(a))、この抜き型パターン2をマスクとして半導体基板1上に配線用の金属を蒸着すると、少なくとも堆積層3a、3b及び3cが形成され(図5(b))、堆積層3a～3cが形成された半導体基板1をアセトン等の有機溶媒中に浸漬し、抜き型パターン2と、抜き型パターン2上に形成された堆積層3b、3cごと除去することにより半導体基板1上に図6に示すような配線パターン4、5が形成される。

【0005】ところで、図5(b)に示すように、配線用の金属は抜き型パターン2の上面だけでなく側壁にも付着するため、図5(c)に示すように抜き型パターン2を除去した後、この側壁に付着した堆積層の一部3d、3eが残り、これが図6に示すようなバリ6として配線パターン5の側面に形成される。その結果、隣接する配線パターン4に接触し、短絡するという問題が生じてしまう。なお図6は配線パターンが形成された従来の半導体基板の平面図の一部である。

【0006】そこで、抜き型パターン2の側壁に付着した堆積層3d、3eを除去するために、半導体基板1を有機溶媒に浸漬するときに超音波振動のような機械的振動を与えて側壁に付着した堆積層3d、3eにクラックを発生させることで除去する方法が提案されている。

【0007】

【発明が解決しようとする課題】しかしながら、このようなリフトオフ法によるパターン形成法ではリフトオフ処理に長時間を要し、しかもバリが完全に除去しきれず

2

部分的に残ることがある。

【0008】そこで、本発明の目的は、上記課題を解決し、リフトオフ時間を短縮すると共に、バリの残留を防止できる半導体基板の配線パターンの形成方法及び配線パターンを提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため本願の第1の発明は、半導体基板上にリフトオフ法を用いて形成する配線パターンの形成方法において、形成すべき配線パターンの外周面に位置する抜き型パターンに、予め凹凸を形成した後、その上に堆積層を形成し、抜き型パターンとその上部の堆積層とを除去したものである。

【0010】また、本願の第2の発明は、半導体基板上にリフトオフ法で形成される配線パターンにおいて、除去すべき抜き型パターンと形成すべき配線パターンとの境界面が凹凸状に形成されているものである。

【0011】

【作用】本願によれば、形成すべき配線パターンの外周面に位置する抜き型パターンに、予め凹凸を形成した後、その上に堆積層が形成されているので、抜き型パターンの側壁に形成される堆積層によるバリの長さは、凸部または凹部の長さ以下の短さとなり、この短いバリは、機械的振動により除去できる。

【0012】

【実施例】以下、本発明の一実施例を添付図面に基づいて詳述する。

【0013】図1は本実施例の半導体基板の配線パターンの平面図の一部である。

【0014】同図に示すように、半導体基板10上に形成された配線パターン11、12(斜線で示す)の外周面に複数の凹凸13が形成されているのがわかる。

【0015】このような配線パターン11、12の形成方法について述べる。

【0016】前述した図5(a)、(b)と同様に、まず、半導体基板10上に例えばポジ型フォトレジストを用いて抜き型パターン2(パターン幅約30μm)を形成するが(図5(a))、この抜き型パターン2には形成すべき配線パターン11、12との境界面に、図1に示すような凹凸13が約10μm間隔で、厚さが約3μmとなるように形成されている(抜き型パターン2の平面図は図1の斜線を除く部分に相当する)。

【0017】この抜き型パターン2をマスクとして半導体基板10上に、例えばTi/Au(チタン/金)等の金属材料を真空蒸着(約1×10⁻⁶[torr])して堆積層(厚さ約0.7μm)を形成する。このとき、この金属材料は、抜き型パターン2の側壁に対して等方的に蒸着されないので、図2(a)～(d)の堆積層形成直後の半導体基板10の断面図に示すような様々な形状に付着される。図2(a)は抜き型パターン2の側壁に

3

堆積層が付着せず、半導体基板10上の抜き型パターン2との境界まで堆積層が付着した場合、図2(b)は抜き型パターン2の側壁及び半導体基板10上に堆積層が厚く付着した場合、図2(c)は抜き型パターン2の側壁に堆積層が付着せず、半導体基板10上の堆積層が比較的薄く付着した場合、図2(d)は抜き型パターン2の側壁及び半導体基板10上に堆積層が薄く付着した場合をそれぞれ示す。

【0018】堆積層が形成された半導体基板10をアセトン等の有機溶媒中に約5分間(従来は15分間)浸漬した後、超音波振動を加えて抜き型パターン2と、この抜き型パターン2上に形成された堆積層と同時にリフトオフ処理することにより半導体基板10上に、図1に示すような凹凸13を有する配線パターン11、12が形成される。このときリフトオフ処理は、図2(a)及び図2(c)に示すような抜き型パターン2の側壁に堆積層の金属が付着していない領域から行われる。

【0019】次に実施例の作用を述べる。

【0020】半導体基板10上に形成すべき配線パターン11、12の外周面に位置する抜き型パターン2に、予め凹凸13を形成した後、その上に堆積層が形成されているので、抜き型パターン2の側壁に付着するバリの長さは、凹凸の長さ未満の長さである。この短いバリは、超音波等の機械的振動により短時間で容易に除去できる。

【0021】以上において、本実施例のよれば、図2(a)に示すような抜き型パターン2の側壁に比較的薄く金属が付着した領域ではバリは発生しなかったが、図2(b)に示すような抜き型パターンの側壁に比較的厚く金属が付着した領域ではバリが発生した。しかし、このバリの長さは、凹凸13の長さ未満、すなわち10μm未満であり、この程度の長さのバリは超音波振動で容易に除去できた。

【0022】図3及び図4は、抜き型パターンの他の構成例を示す図である。

【0023】図3において、図1に示した実施例との相違点は、凹凸の形状が異なっている点であり、図3(a)は凸部(または凹部)が二等辺三角形、図3(b)は直角三角形、図3(c)は半円形、図3(d)は台形、図3(e)は逆台形となっている。なお、図3(a)～(e)のいずれのパターンにおいても凸部(凹部)の一辺の長さが配線パターンの間隔未満の長さとな

4

っている。

【0024】図4において、図1に示した実施例との相違点は、抜き型パターンの両辺が階段状(a)、抜き型パターンの一辺が階段状(b)となっている点である。

【0025】以上において、本実施例によれば、形成すべき配線パターンの外周面に位置する抜き型パターンに、予め凹凸を形成した後、その上に堆積層が形成されているので、抜き型パターンの側壁に形成される堆積層によるバリの長さは、凸部または凹部の長さ以下の短さとなり、この短いバリは、機械的振動により短時間で容易に除去できるので、リフトオフ時間を15分から5分まで短縮すると共に、バリの残留を防止することができる。

【0026】尚、本実施例ではポジ型のフォトレジストを用いて抜き型パターンを形成したが、これに限定されるものではなく、ネガ型のフォトレジストを用いて抜き型パターンを形成してもよい。

【0027】

【発明の効果】以上要するに本発明によれば、半導体基板上にリフトオフ法を用いて形成する配線パターンの形成方法において、形成すべき配線パターンの外周面に位置する抜き型パターンに、予め凹凸を形成した後、その上に堆積層を形成し、抜き型パターンとその上部の堆積層とを除去したので、リフトオフ時間を短縮すると共に、バリの残留を防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体基板の配線パターンの一実施例の平面図の一部である。

【図2】堆積層形成直後の半導体基板の断面図である。

【図3】抜き型パターンの他の構成例を示す図である。

【図4】抜き型パターンの他の構成例を示す図である。

【図5】従来のリフトオフ法による配線パターンの製造方法を説明するための説明図である。

【図6】配線パターンが形成された従来の半導体基板の平面図の一部である。

【符号の説明】

2 抜き型パターン

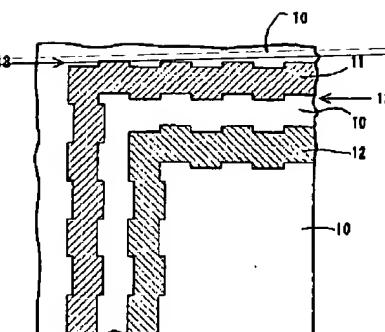
3a～3d 堆積層

10 半導体基板

40 11、12 配線パターン

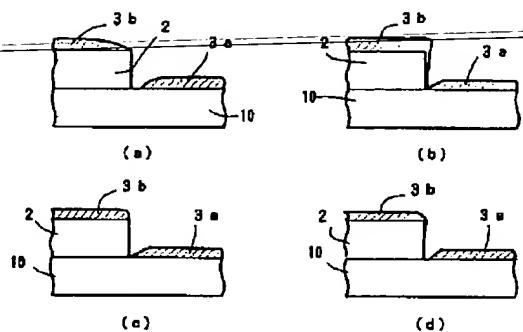
13 凹凸

【図1】



10 半導体基板
11, 12 記録パターン
13 凸部

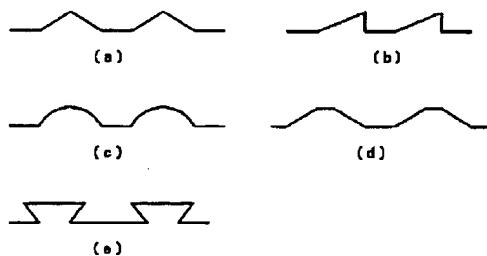
【図2】



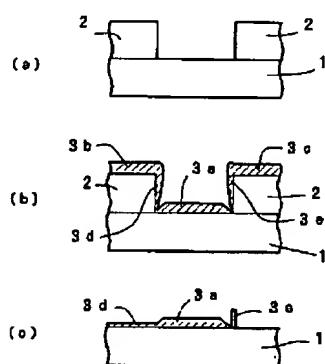
【図4】



【図3】



【図5】



【図6】

